

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月30日
Date of Application:

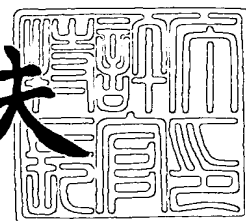
出願番号 特願2002-287609
Application Number:
[ST. 10/C]: [JP2002-287609]

出願人 松下電器産業株式会社
Applicant(s):

2003年 7月28日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3059721

【書類名】 特許願

【整理番号】 R7198

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 猪熊 一行

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 藤井 俊哉

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山口 琢己

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 春日 繁孝

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】**【予納台帳番号】** 139757**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0108331**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 固体撮像装置およびこれを用いた機器

【特許請求の範囲】

【請求項 1】 全てのトランジスタが同一導電体のトランジスタで構成された撮像用半導体チップと、

CMOS 型のトランジスタで構成された画像処理用半導体チップとを備えたことを特徴とする固体撮像装置。

【請求項 2】 前記撮像用半導体チップが前記画像処理用半導体チップの上に積層された、請求項 1 に記載の固体撮像装置。

【請求項 3】 前記撮像用半導体チップの全てのトランジスタが、n チャネル型 MOS トランジスタで構成された、請求項 1 に記載の固体撮像装置。

【請求項 4】 前記撮像用半導体チップの全てのトランジスタが、p チャネル型 MOS トランジスタで構成された、請求項 1 に記載の固体撮像装置。

【請求項 5】 前記撮像用半導体チップが、光を電荷に変換する光電変換部と、前記光電変換部で発生した電荷に応じた電圧信号を増幅するアンプとを備えた、請求項 1 ～ 4 のいずれか一項に記載の固体撮像装置。

【請求項 6】 前記撮像用半導体チップと前記画像処理用半導体チップとが、ボンディングワイヤにより電氣的に接続された、請求項 1 ～ 5 のいずれか一項に記載の固体撮像装置。

【請求項 7】 前記撮像用半導体チップに貫通電極が形成され、前記貫通電極に接続された配線を介して、前記撮像用半導体チップと前記画像処理用半導体チップとが電氣的に接続された、請求項 1 ～ 6 のいずれか一項に記載の固体撮像装置。

【請求項 8】 前記貫通電極が Si 貫通電極である、請求項 7 に記載の固体撮像装置。

【請求項 9】 前記画像処理用半導体チップに、前記撮像用半導体チップへタイミングパルスを供給するタイミングパルス発生回路と、ゲイン制御アンプと、アナログデジタル変換回路とを備えた、請求項 1 ～ 8 のいずれか一項に記載の固体撮像装置。

【請求項 1 0】 請求項 1 ～ 9 のいずれか一項に記載の固体撮像装置と、前記固体撮像装置で撮影された静止画もしくは動画を処理する画像処理部とを備えたことを特徴とする携帯機器。

【請求項 1 1】 携帯電話である請求項 1 0 に記載の携帯機器。

【請求項 1 2】 携帯型情報端末である請求項 1 0 に記載の携帯機器。

【請求項 1 3】 デジタルスチルカメラである請求項 1 0 に記載の携帯機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、携帯電話等で使用される小型の撮像装置であって、超小型、低コスト、高性能の 3 要素を高い次元で両立させた固体撮像装置と、この固体撮像装置を用いた小型の携帯機器に関する。

【 0 0 0 2 】

【従来の技術】

近年、携帯電話等の小型携帯機器にも搭載できる小型の撮像装置が開発されている。この種の撮像装置に求められる条件は、第一に超小型であること、第二に低コストであることであり、ロジック L S I で一般的な C M O S プロセスを用いることで、周辺回路との接続性を容易にし、低コスト化を図れる C M O S センサが主流となっている。また、C M O S センサは、ロジック部との 1 チップ化が可能なので、これにより画像処理部との 1 チップ化を図り、超小型化を実現することも可能である。図 5 に、従来の 1 チップ C M O S センサの構成を示す。図 5 に示す従来の 1 チップ C M O S センサは、光を電気信号に変換するセンサ部 5 0 7、センサ部を駆動する垂直走査回路 5 0 6、水平走査回路 5 0 8、タイミング発生回路 (T G) 5 0 3、センサ部からの信号出力を増幅するゲイン制御アンプ (G C A) 5 0 4、その出力信号をデジタル信号に変換する A D 変換回路 (A D C) 5 0 5 及び画像処理回路 5 0 2 から構成される。

【 0 0 0 3 】

しかし、今後は、超小型と低コストだけでなく、感度等の性能の向上も求められるようになってきている。携帯電話のような小型機器では、ストロボ等の照明

装置の搭載が難しいため、高感度化は特に要求が強い。また、今後は携帯電話をデジタルスチルカメラ代わりに使うことも考えられ、高性能化がますます重要な開発テーマとなってきた。

【0004】

高性能化を考えると、従来の構成では次の様な問題が発生する。ロジック回路と、アナログ回路であるセンサ部とでは、要求される電気的性能が異なるが、1チップ化を行なうと同一のプロセスで製造されるため、両者の性能を満足することが難しい。即ち、微細プロセスを使用するとセンサ部の性能が悪化し、センサ部の性能を確保するため微細で無いプロセスを使用するとロジック部が大きくなり、1チップ化のメリットが無くなる。これを回避するために、センサ部を含んだ撮像チップと画像処理部を含んだ画像処理チップとの2チップ構成を取る方法が提案されている。2チップにすると、実装面積が増え、小型化が難しくなるが、両者を積層することで小型化することが可能である（例えば、特許文献1参照）。

【0005】

【特許文献1】

特開平5-268535号公報

【0006】

【発明が解決しようとする課題】

撮像チップおよび画像処理チップの2チップで構成された従来の撮像装置を、図6に示す。図6に示す従来の撮像装置は、画像処理チップ602の種類にかかわらず、撮像チップ601を独立に動作させるために、撮像チップ601のセンサ部603を駆動する垂直走査回路604や水平走査回路605、これらの走査回路に必要なパルスが発生するタイミングパルス発生回路602、センサ部603からの信号出力を増幅するゲイン制御アンプ606、その出力信号をデジタル信号に変換するAD変換回路607を、撮像チップ601側に搭載している。

【0007】

この構成の場合、タイミングパルス発生回路603等の本来CMOSロジックが得意とする回路がまだ撮像チップ側に存在するため、センサ部603の性能を

上げようとするするとそれらの面積が大きくなるという課題がある。

【0008】

この課題は、タイミングパルス発生回路602、ゲイン制御アンプ606、アナログデジタル変換回路607を画像処理チップ602側に搭載することで解決できるが、この場合、画像処理チップ602から撮像チップ601へのタイミングパルス供給線が増大し、その供給線に雑音を重ねし、この雑音が撮像チップ601の出力に重ねることにより撮像チップの性能が低下してしまう。

【0009】

この雑音は、主に画素部を駆動する走査回路に供給する電流の変動から発生することがわかっている。電流変動は、走査回路がCMOSロジックで作られている場合、CMOS回路がスイッチするときのいわゆる貫通電流が原因である。一般にはCMOS回路というのは消費電流が小さいというのが特長であるが、スイッチする瞬間は非常に大きな電流（貫通電流）が流れることは、よく知られている。これはスイッチの一瞬の時間だけnMOSとpMOSの両方のトランジスタがON状態になり、電源とグランドがショートするためである。スイッチをコントロールする配線がチップ外を通ると、その配線自身に雑音を重ねしたり、配線を通るパルスがなまったりするので、上記の貫通電流による電源のゆすれ雑音が増大してしまう。

【0010】

本発明は、上記の問題点に鑑みてなされたものであり、タイミングパルス供給線に重ねた雑音が撮像チップの出力に影響を与えないようにすることにより、小型でかつ高性能な撮像装置およびその応用製品を低コストで提供することを目的とする。

【0011】

【課題を解決するための手段】

上記の目的を達成するために、本発明にかかる固体撮像装置は、全てのトランジスタが同一導電体のトランジスタで構成された撮像用半導体チップと、CMOS型のトランジスタで構成された画像処理用半導体チップとを備えたことを特徴とする。

【0012】

【発明の実施の形態】

本発明にかかる固体撮像装置によれば、撮像用半導体チップの全てのトランジスタを同一導電体のトランジスタで構成したことにより、CMOS回路特有の貫通電流がなくなり、タイミングパルス供給線をチップ外部に配した場合でも、電源に重畳するゆずれ雑音が増大しない。これにより、タイミングパルス発生回路等を、撮像用半導体チップではなく、より微細な製造プロセスを使用できる画像処理用半導体チップ側に設けることができる。この結果、小型でかつ高性能な撮像装置を低コストで提供することが可能となる。

【0013】

本固体撮像装置は、撮像用半導体チップが前記画像処理用半導体チップの上に積層された構成とすることが好ましい。これにより、撮像用半導体チップと画像処理用半導体チップとを接続する配線の長さを短縮でき、タイミングパルス供給線への雑音の重畳の低減が図れ、さらなる高性能化を実現できる。また、実装面積を1チップ構成の場合と同等以下として、超小型化が実現できる。これにより、超小型、低コストかつ高性能の撮像装置を実現でき、撮像機能を備えたさまざまな応用製品の超小型化、低コスト化、高性能化に貢献できる。

【0014】

本固体撮像装置は、撮像用半導体チップの全てのトランジスタが、nチャネル型MOSトランジスタまたはpチャネル型MOSトランジスタのいずれか一方で構成されることが好ましい。特に、全てのトランジスタをnチャネル型MOSトランジスタで構成した場合、高速化が容易であるという利点がある。

【0015】

本固体撮像装置は、撮像用半導体チップと前記画像処理用半導体チップとが、ボンディングワイヤにより電氣的に接続された態様としても良いし、撮像用半導体チップに貫通電極が形成され、前記貫通電極に接続された配線を介して、前記撮像用半導体チップと前記画像処理用半導体チップとが電氣的に接続された態様としても良い。前者の態様によれば、ワイヤボンディングという一般的な工法を使えるので、コストや信頼性の面で有利である。一方、後者の態様によれば、さ

らなる小型化が図れるという利点がある。なお、前記貫通電極が Si 貫通電極であることがさらに好ましい。

【0016】

本固体撮像装置において、画像処理用半導体チップに、前記撮像用半導体チップへタイミングパルスを供給するタイミングパルス発生回路と、ゲイン制御アンプと、アナログデジタル変換回路とを備えた態様が好ましい。さらに小型化が図れるからである。

【0017】

また、本発明にかかる固体撮像装置は、この固体撮像装置で撮影された静止画もしくは動画进行处理する画像処理部を備えた携帯機器に適用することにより、小型でかつ高性能な、携帯電話、携帯型情報端末、あるいはデジタルスチルカメラ等を、低コストで実現することが可能となる。

【0018】

以下、本発明のさらに具体的な実施形態について、図面を参照しながら説明する。

【0019】

図1に、本発明の撮像装置の一実施形態を示す。本実施形態にかかる撮像装置は、撮像チップ101と画像処理チップ106の2チップで構成され、画像処理チップ106の上に撮像チップ101が積層されている。撮像チップ101には、光を電気信号に変換するセンサ部102と、センサ部102を駆動する垂直走査回路103および水平走査回路104と、センサ部102の信号を増幅するアンプ105が形成される。

【0020】

撮像チップ101におけるこれらの回路に使用するトランジスタは、全て同一導電体、即ち、全てnMOS、または全てpMOSで構成される。また、走査回路103、104はダイナミック回路とする。これにより、CMOS回路特有の貫通電流が発生せず、タイミングパルス発生回路107を撮像チップ101の外部に設けた場合でも、タイミングパルス供給線に重畳した雑音が撮像チップ101の出力に与える影響が小さくなる。

【0021】

画像処理チップ106には、撮像チップ101を駆動するための信号を生成するタイミングパルス発生回路107と、撮像チップ101からの信号の大きさを調整するゲイン制御アンプ108と、その信号をデジタル信号に変換するAD変換回路109と、デジタル信号に変換された撮像チップの信号から輝度信号と色信号を生成する画像処理回路110が設けられる。これらの回路で使用されるトランジスタは、従来のロジック回路で用いられるnMOSとpMOSとを組み合わせたCMOS型である。

【0022】

図2(a)および(b)に、撮像チップ101および画像処理チップ106の積層方法の二つの例を示す。

【0023】

図2(a)は、撮像チップ101と画像処理チップ106とをワイヤボンディングにより接続したものである。撮像チップ101のPADから画像処理チップ106のPADへ、ワイヤ201で接続する。ワイヤボンディングそのものは、量産工程で一般的に用いられている工法であり、コストや信頼性の面で有利である。

【0024】

図2(b)は、撮像チップ101にSi貫通電極202を設けて底面に電極を引き出し、そこにバンプ203を設けて画像処理チップ106と接続する方法である。Si貫通電極202は、最も小型化が可能である点で有利であり、将来主流になる可能性がある。

【0025】

以上の構成を取ることで、次の効果を得ることができる。

【0026】

第一に、撮像チップ101の全回路をnMOSまたはpMOSで構成したことにより、CMOS回路特有の貫通電流がなくなり、タイミングパルス供給線を撮像チップ101の外部に配しても、電源に重畳するゆすれ雑音が増大しない。これにより、タイミングパルス発生回路107やAD変換回路109を、撮像チッ

プ101ではなく、より微細な製造プロセスを使用できる画像処理チップ106側に設けることができ、全体としてのチップ面積を減らせるため低コスト化が可能である。第二に、撮像チップ101の全回路をnMOSまたはpMOSで構成したことにより、製造プロセスが簡略なものとなり、製造プロセスで使用するマスク枚数が減るため、さらなる低コスト化が行なえる。第三に、撮像チップ101の全回路をnMOSまたはpMOSで構成したことにより、製造工程数が減り、アナログ部の電気特性悪化要因が減少する。これにより高性能化が図れる。

【0027】

第四に、撮像チップ101を画像処理チップ106の上に積層することにより、両者を接続する配線の長さを短縮でき、タイミングパルス供給線への雑音の重畳の低減が図れ、さらなる高性能化を実現できる。第五に、撮像チップ101を画像処理チップ106の上に積層することにより、実装面積を1チップ構成の場合と同等以下として、超小型化が実現できる。

【0028】

以上のように、本発明によると、超小型、低コストかつ高性能な撮像装置を実現することができる。このため、この撮像装置を使うことで多くの価値ある応用製品を生み出すことができる。例えば携帯電話では小型であることが最も望まれるが、それに加えて高性能化、特に高感度化により、ストロボ等の照明装置を使用することなく、暗い場面でも撮影することができる。ストロボ等の照明装置は消費電力を増大させるため、携帯電話への搭載は極めて困難である。

【0029】

図3に、本発明にかかる撮像装置を携帯電話に応用した場合の構成の一例を示す。図3に示す携帯電話は、マイク301、音声符号化部302、システム制御部303、通信制御部304、アンテナ305、スピーカー306、表示制御部307、および、表示装置308を備えている。これらは、従来の携帯電話に備わっている構成要素である。

【0030】

この携帯電話は、さらに、本発明にかかる撮像装置309と、撮像装置309から出力される画像信号を符号化する画像符号化部310とを備えている。撮像

装置 309 は、図 1 に示すように、撮像チップおよび画像処理チップの 2 チップ構成で実装される。

【0031】

図 3 に示す携帯電話において、マイク 301 から入力された音声は、音声符号化部 302 により符号化され圧縮される。圧縮された音声データはシステム制御部 303 により通信制御部 304 に転送され、通信のための変調処理等が行なわれ、アンテナ 305 から送信される。受信の場合はその逆の経路を通り、スピーカ 306 から音声が出力される。また適時、システム制御部 303 が表示制御部 307 を制御し、表示装置 308 に必要な情報を表示する。このように、従来の携帯電話に、本発明の撮像装置 309 と、撮像装置 309 から出力される画像信号を符号化する画像符号化部 310 とを追加するだけで、カメラ付き携帯電話を実現できる。

【0032】

なお、静止画の場合、画像の復号化はシステム制御部 303 で行なうことができる。画像の符号化もシステム制御部 303 で行うことも可能であり、場合によっては、画像符号化部 310 を省略した構成とすることもできる。ただし、動画の符号化は処理量が大いなので、動画を扱える仕様とする場合は、画像符号化部 310 を設けることが好ましい。復号化は、前述のように、システム制御部 303 で行うことも可能であるが、動画を扱う仕様の場合は、専用の復号化回路を設けることが好ましい。

【0033】

なお、本発明にかかる撮像装置は、携帯電話だけでなく、類似の構成をとる携帯情報端末、所謂 PDA 等にも同様な構成で組み込むことができる。本発明の撮像装置を使うことにより、これら小型の携帯情報端末に高性能なカメラを搭載でき、デジタルスチルカメラ代わりに使うことも可能となる。

【0034】

図 4 は、本発明にかかる撮像装置を、デジタルスチルカメラに応用した場合の構成の一例である。図 4 に示すデジタルスチルカメラは、本発明の撮像装置 401 の他に、全体を制御するシステム制御部 402、画像の圧縮、伸張を行なうた

めの画像符号化／復号化部 403、記録メディア 405 に圧縮された画像データを記録するための記録メディア制御部 404、表示を行なうための表示制御部 406、および、表示装置 407 を備えている。

【0035】

撮像装置 401 は、図 1 に示すように、撮像チップおよび画像処理チップの 2 チップ構成で実装される。また、図 4 に点線で示すように、システム制御部 402、画像符号化／復号化部 403、記録メディア制御部 404、および表示制御部 406 を、撮像装置 401 の画像処理チップに実装した構成としてもよい。

【0036】

デジタルスチルカメラの場合、高画素の撮像チップが必要となるため、必然的に撮像チップの大きさが携帯電話用等に比べて大きくなる。このため画像処理チップも必然的に大きくなり、画像処理部以外の回路も集積した方が好ましい。

【0037】

デジタルスチルカメラに本発明の撮像装置を応用した場合の最も大きい効果は小型化の点であるが、本発明の撮像装置を用いることは、以下に説明するように、デジタルカメラの性能向上にも寄与し得る。

【0038】

従来のデジタルスチルカメラは、撮像チップとして CCD 型撮像チップを使用しているが、次のような問題があった。CCD 型撮像チップは、センサ部が、光を電荷に変換する光電変換素子と電荷を運ぶ CCD 素子とにより構成される。CCD 素子は、光電変換素子で発生した電荷を運ぶため、その大きさを光電変換素子に比べてあまり小さくできない。すなわち、従来のデジタルスチルカメラでは、光電変換素子の面積割合を大きくすることができなかった。

【0039】

これに対し、本実施形態のデジタルスチルカメラは、撮像チップのセンサ部を、光電変換素子とトランジスタから構成することにより、光電変換素子に比べてトランジスタを小さくすることができるので、光電変換素子の面積割合を大きくできる。従って、CCD 型撮像チップよりも高感度にする可能性がある。本発明に用いられる所謂 MOS センサは、各画素のトランジスタのバラツキ等の要因に

より、CCD型撮像チップより性能が劣ると言われてきた。しかし、近年、それらの要因を克服できる技術が開発されてきており、加えて、本発明の撮像チップは、全回路がnMOSまたはpMOSで構成されていることより、製造工程数が減り、アナログ部の電気特性悪化要因が減少する。これらの結果、従来のCCD型撮像チップを使用したデジタルスチルカメラより画質を向上できる可能性が十分ある。また、感度を向上させやすいということから監視カメラに応用しても多大な効果を得られる。本発明の撮像装置は、高感度でありながら極めて超小型にできるので、監視カメラの小型化にも貢献し、監視されていることがわからないような所在を隠せる監視カメラを実現することも可能である。

【0040】

【発明の効果】

本発明によると、撮像チップの全回路をnMOSまたはpMOSで構成したことにより、CMOS回路特有の貫通電流がなくなりタイミングパルス供給線をチップ外部に配しても電源に重畳するゆすれ雑音が増大しない。これによりタイミングパルス発生回路やAD変換回路を、撮像チップから、より微細な製造プロセスを使用できる画像処理チップに移すことができ、全体としてのチップ面積を減らせるため低コスト化が可能である。

【図面の簡単な説明】

【図1】 本発明の撮像装置の一実施形態の構成を示す斜視図

【図2】 本発明の撮像装置におけるチップ積層方法を示し、(a)はワイヤボンディング方式、(b)はSi貫通電極を用いた方式の断面図

【図3】 本発明の撮像装置を使用した携帯電話の構成を示すブロック図

【図4】 本発明の撮像装置を使用したデジタルスチルカメラの構成を示すブロック図

【図5】 従来の1チップCMOSカメラの構成を示すブロック図

【図6】 従来の2チップCMOSカメラの構成を示すブロック図

【符号の説明】

101 撮像チップ

102 センサ部

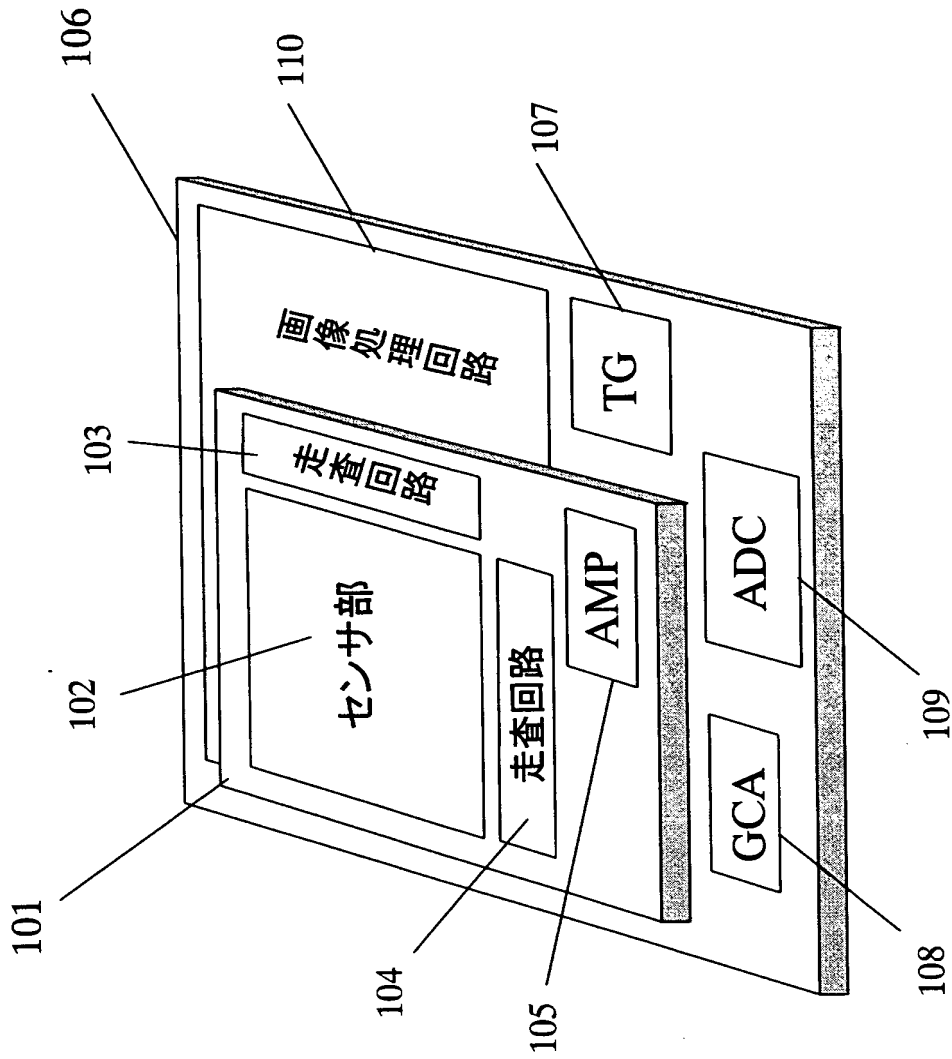
- 103 水平走査回路
- 104 垂直走査回路
- 105 アンプ
- 106 画像処理チップ
- 107 タイミングパルス発生回路
- 108 ゲイン制御アンプ
- 109 AD変換回路
- 110 画像処理回路
- 301 マイク
- 302 音声符号化部
- 303 システム制御部
- 304 通信制御部
- 305 アンテナ
- 306 スピーカー
- 307 表示制御部
- 308 表示装置
- 309 撮像装置
- 310 画像符号化部
- 401 撮像装置
- 402 システム制御部
- 403 画像符号化／復号化部
- 404 記録メディア制御部
- 405 記録メディア
- 406 表示制御部
- 407 表示装置
- 501 1チップCMOSセンサ
- 502 画像処理回路
- 503 タイミングパルス発生回路
- 504 ゲイン制御アンプ

- 5 0 5 A D 変換回路
- 5 0 6 垂直走査回路
- 5 0 7 センサ部
- 5 0 8 水平走査回路
- 6 0 1 撮像チップ
- 6 0 2 画像処理チップ
- 6 0 3 センサ部
- 6 0 4 垂直走査回路
- 6 0 5 水平走査回路
- 6 0 6 ゲイン制御アンプ
- 6 0 7 A D 変換回路

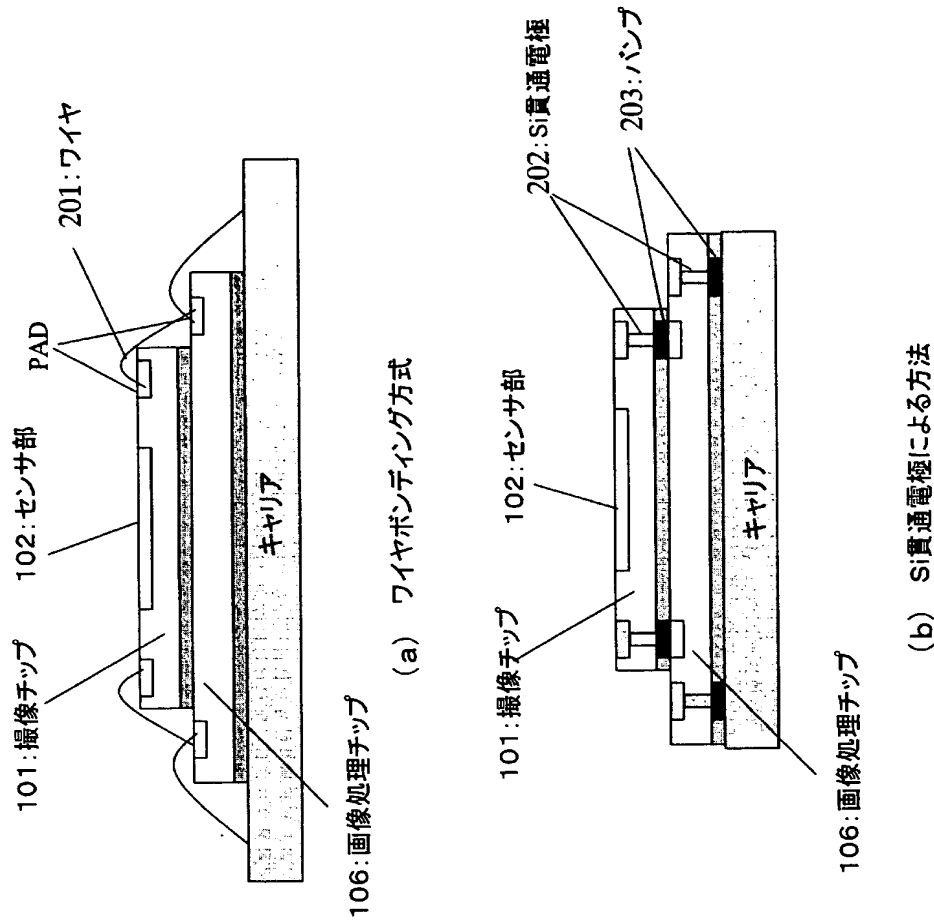
【書類名】

図面

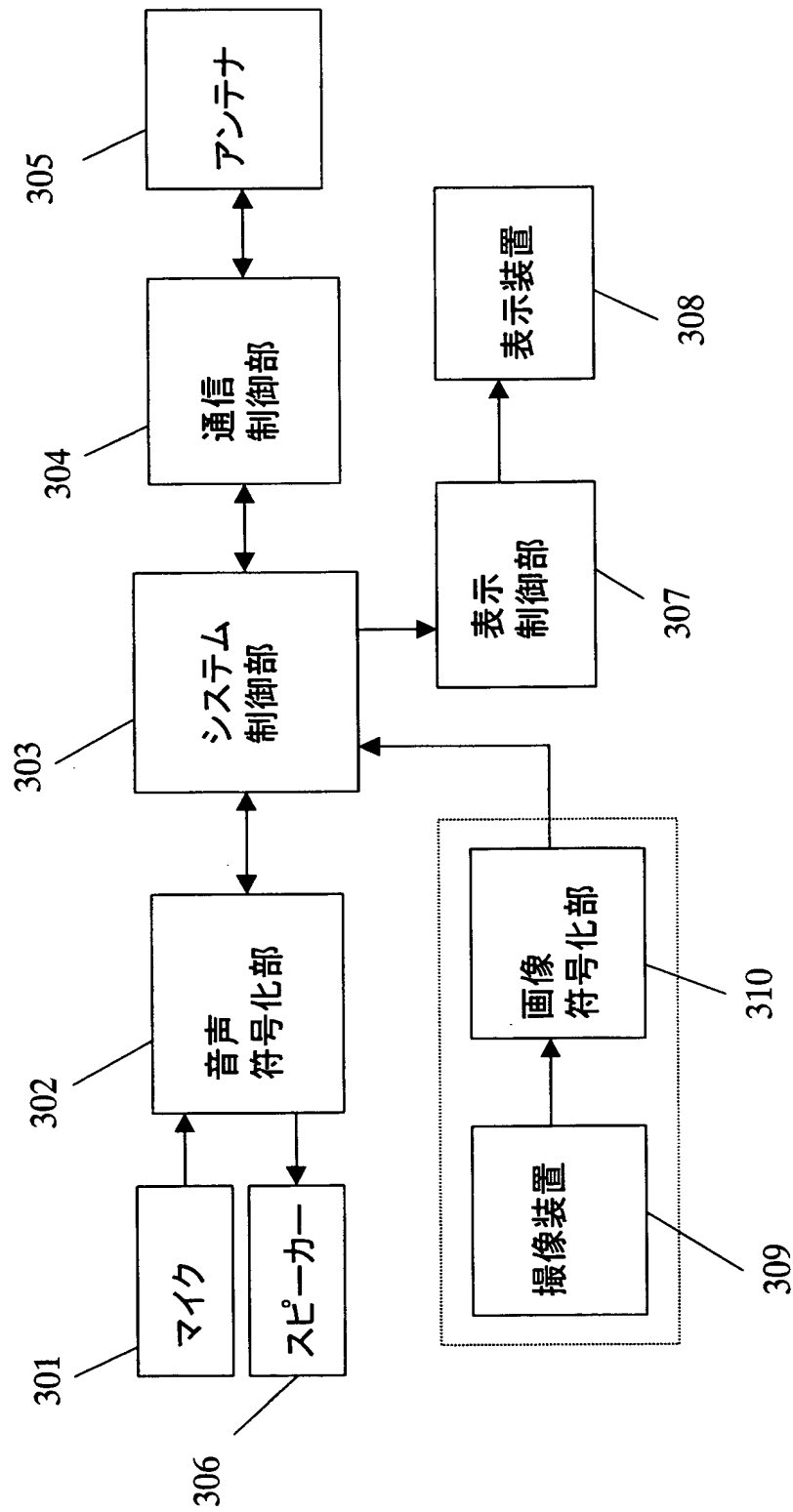
【図 1】



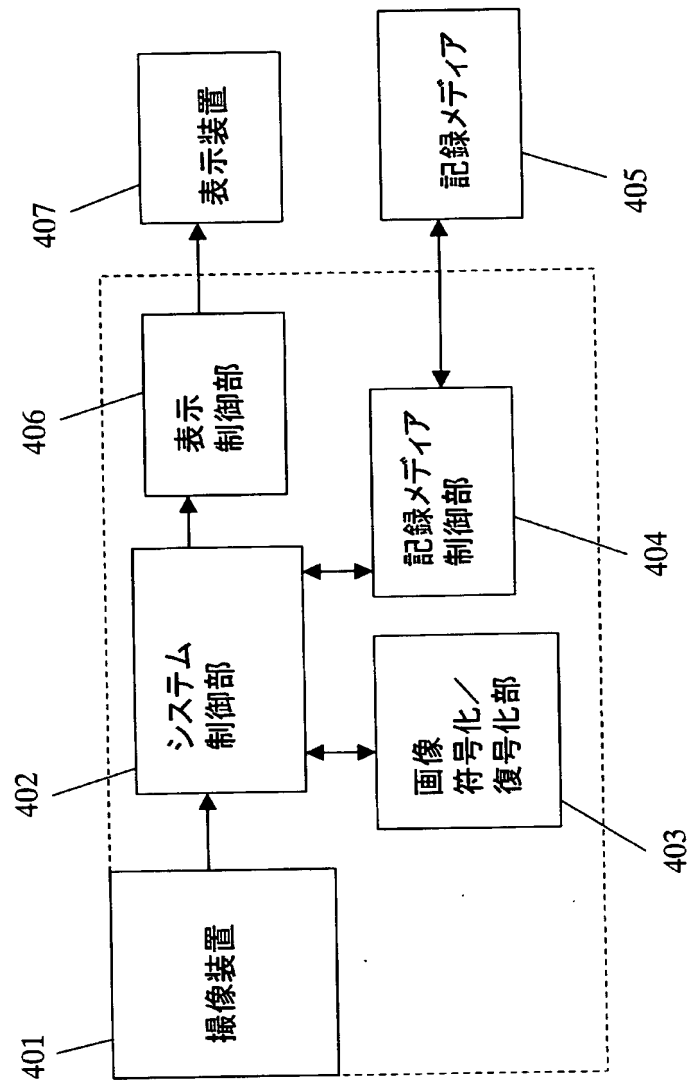
【図 2】



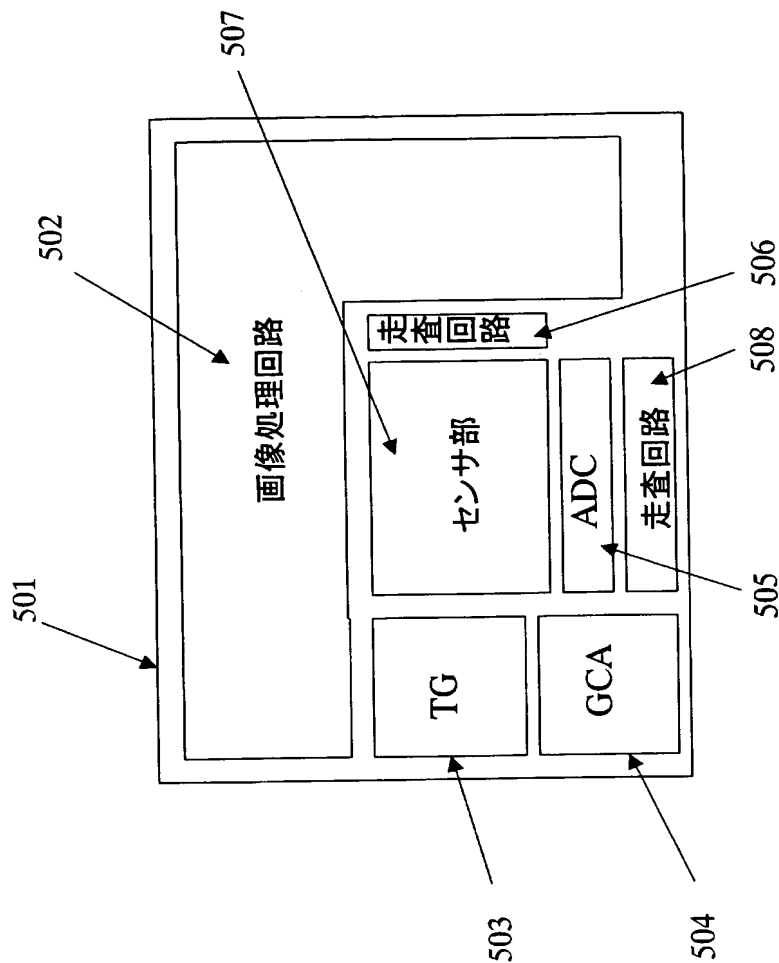
【図 3】



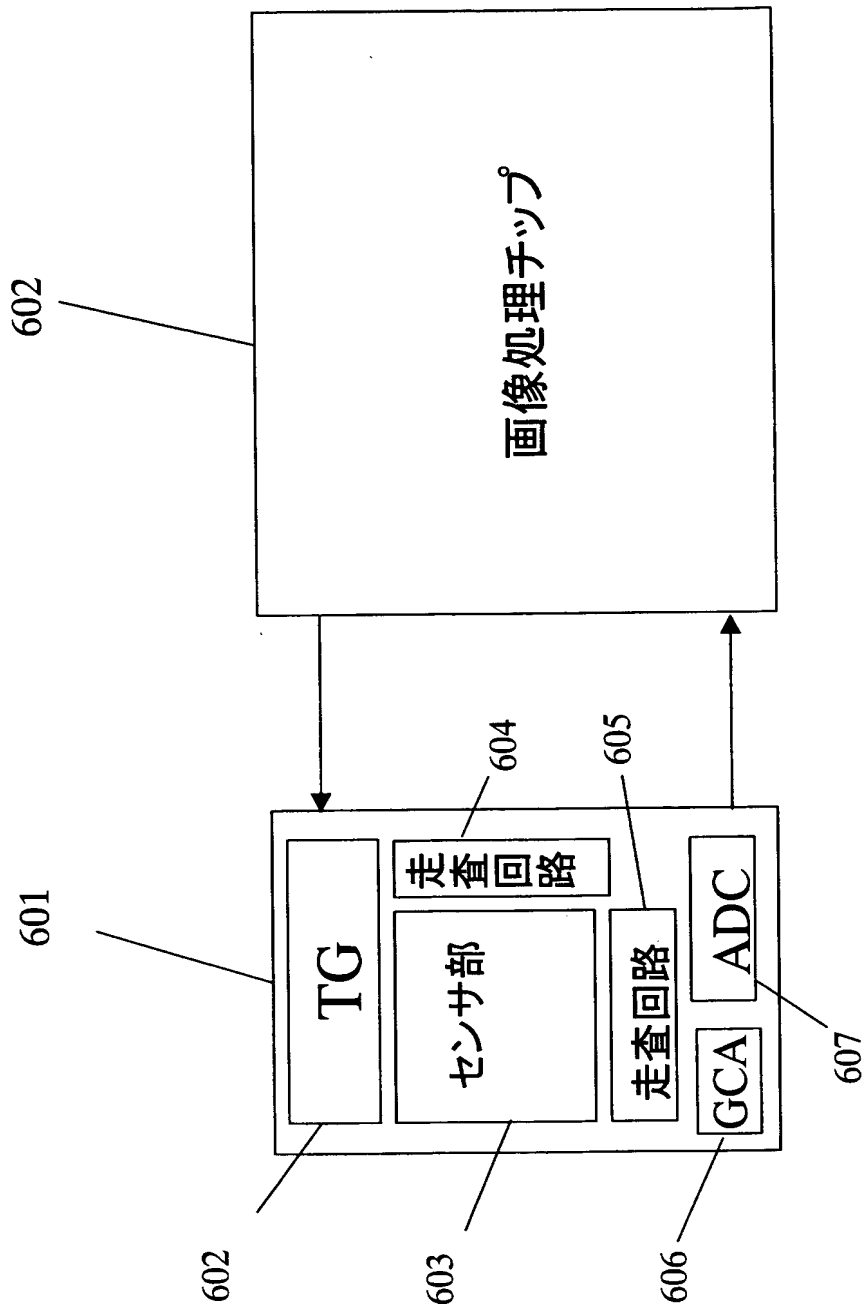
【図 4】



【図 5】



【図 6】




【書類名】 要約書

【要約】

【課題】 タイミングパルス供給線に重畳した雑音が撮像チップの出力に影響を与えないようにすることにより、小型でかつ高性能な撮像装置およびその応用製品を低コストで提供する。

【解決手段】 撮像装置を、センサ部 1 0 2 を含む撮像チップ 1 0 1 と画像処理回路 1 1 0 を含む画像処理チップ 1 0 6 の 2 チップ構成とし、撮像チップ 1 0 1 の全回路のトランジスタを nMOS もしくは pMOS のいずれか一方のみで構成し、撮像チップ 1 0 1 を画像処理チップ 1 0 6 の上に積層する。

【選択図】 図 1



特願 2 0 0 2 - 2 8 7 6 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社